

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-059158

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H03G 3/20
H03G 3/30

(21)Application number : 10-224528

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.08.1998

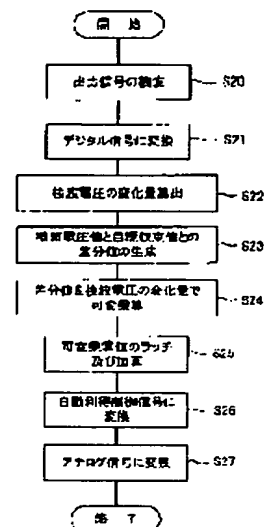
(72)Inventor : IWATA YASUSHI
ICHIKAWA YASUSHI

(54) AUTOMATIC DIGITAL GAIN CONTROL METHOD AND DEVICE AND RADIO COMMUNICATION EQUIPMENT PROVIDED WITH AUTOMATIC GAIN CONTROL FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To automatically control gain by loop gain optimum for the fluctuation width or fluctuation cycle of an input signal level and to perform high-speed pull-in to the target value of automatic gain control.

SOLUTION: Based on the level of output signals for which input signals are amplified, gain variable amplification is controlled and fixed output signals are obtained. The output signals are detected (S20) and converted to digital signals first (S21). The change amount of the detection voltage of the output signals is obtained by latching and adding the detection voltage (S22) and the difference value of a detection voltage value and a target convergence value is generated (S23). Further, the difference value is variably multiplied by the change amount of the detection voltage (S24), the change value of the difference value is obtained by latching and adding the variable multiplication value (S25) and automatic gain control signals are generated by conversion from the difference change value (S26). The automatic gain control signals are converted to analog signals and supplied to a gain variable amplifier (S27), the loop gain to the fluctuation of the input signals is made appropriate and the gain variable amplification is performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-59158

(P2000-59158A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 G 3/20
3/30

H 0 3 G 3/20
3/30

A 5 J 0 2 9
B

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21)出願番号 特願平10-224528

(22)出願日 平成10年8月7日(1998.8.7)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 岩田 靖史

静岡県浜松市元城町216-18 株式会社松
下通信静岡研究所内

(72)発明者 市川 泰史

神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(74)代理人 100073874

弁理士 萩野 平 (外4名)

Fターム(参考) 5J029 AA01 BA05 CA08 CA11 CA13
EA01 FA02 FA06

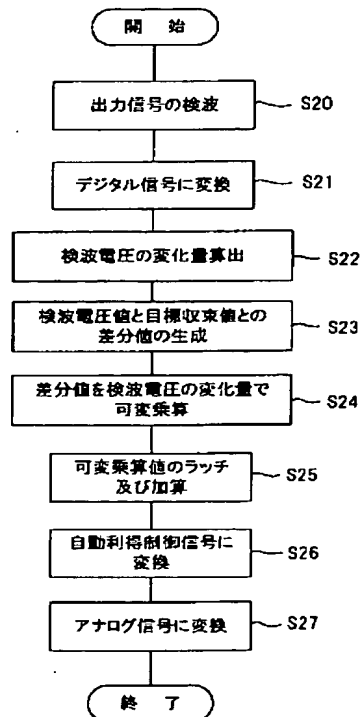
(54)【発明の名称】 デジタル自動利得制御方法および装置、自動利得制御機能を持った無線通信装置

(57)【要約】

【課題】 入力信号レベルの変動幅または変動周期に最適なループゲインで自動利得制御を行って、自動利得制御の目標値に高速引き込みを行う。

【解決手段】 入力信号を増幅した出力信号のレベルに基づいて、利得可変増幅を制御して一定の出力信号を得る。まず、出力信号を検波し(S20)、デジタル信号に変換する(S21)。検波電圧をラッチかつ加算して出力信号の検波電圧の変化量を求めると共に(S22)、検波電圧値と目標収束値との差分値を生成する(S23)。

さらに、差分値を検波電圧の変化量で可変乗算し(S24)、この可変乗算値をラッチおよび加算して差分値の変化値を求め(S25)、この差分変化値から変換により自動利得制御信号を生成し(S26)、この自動利得制御信号をアナログ信号に変換して利得可変増幅器に供給し(S27)、入力信号の変動に対するループゲインを適正化して利得可変増幅を行う。



【特許請求の範囲】

【請求項1】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御方法であって、
前記増幅した出力信号を検波する検波ステップと、
前記検波電圧の変化量を求める変化量算出ステップと、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、
前記差分値を前記検波電圧の変化量に応じて可変乗算する可変乗算ステップと、
前記可変乗算した差分値の変化値を求める差分変化値算出ステップと、
前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成ステップと、
を有することを特徴とするデジタル自動利得制御方法。

【請求項2】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御方法であって、
前記増幅した出力信号を検波する検波ステップと、
前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出ステップと、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、
前記差分値を前記フェージング周期に応じて可変乗算する可変乗算ステップと、
前記可変乗算した差分値の変化値を求める差分変化値算出ステップと、
前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成ステップと、
を有することを特徴とするデジタル自動利得制御方法。

【請求項3】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御方法であって、
前記増幅した出力信号を検波する検波ステップと、
前記検波電圧の変化量を求める変化量算出ステップと、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、
前記差分値の変化値を求める差分変化値算出ステップと、
前記差分変化値を変換する変換方式を前記検波電圧の変化量に応じて複数の変換方式より選択する変換方式選択ステップと、

前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成ステップと、
を有することを特徴とするデジタル自動利得制御方法。

【請求項4】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御方法であって、
前記増幅した出力信号を検波する検波ステップと、
前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出ステップと、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、
前記差分値の変化値を求める差分変化値算出ステップと、
前記差分変化値を変換する変換方式を前記フェージング周期に応じて複数の変換方式より選択する変換方式選択ステップと、
前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成ステップと、
を有することを特徴とするデジタル自動利得制御方法。

【請求項5】 前記自動利得制御信号を生成するための差分変化値の変換方式として、変換テーブルによるテーブル参照処理、または変換式による演算処理を用いることを特徴とする請求項1ないし4のいずれかに記載のデジタル自動利得制御方法。

【請求項6】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御装置であって、
前記増幅した出力信号を検波する検波手段と、
前記検波電圧の変化量を求める変化量算出手段と、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、
前記差分値を前記検波電圧の変化量に応じて可変乗算する可変乗算手段と、
前記可変乗算した差分値の変化値を求める差分変化値算出手段と、
前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成手段と、
を備えたことを特徴とするデジタル自動利得制御装置。

【請求項7】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御装置であって、
前記増幅した出力信号を検波する検波手段と、

前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出手段と、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、
前記差分値を前記フェージング周期に応じて可変乗算する可変乗算手段と、
前記可変乗算した差分値の変化値を求める差分変化値算出手段と、
前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成手段と、
を備えたことを特徴とするデジタル自動利得制御装置。

【請求項8】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御装置であって、

前記増幅した出力信号を検波する検波手段と、
前記検波電圧の変化量を求める変化量算出手段と、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、
前記差分値の変化値を求める差分変化値算出手段と、
前記差分変化値を変換する変換方式を前記検波電圧の変化量に応じて複数の変換方式より選択する変換方式選択手段と、

前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成手段と、
を備えたことを特徴とするデジタル自動利得制御装置。

【請求項9】 入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るデジタル自動利得制御装置であって、

前記増幅した出力信号を検波する検波手段と、
前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出手段と、
前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、
前記差分値の変化値を求める差分変化値算出手段と、
前記差分変化値を変換する変換方式を前記フェージング周期に応じて複数の変換方式より選択する変換方式選択手段と、
前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成手段と、
を備えたことを特徴とするデジタル自動利得制御装置。

【請求項10】 前記自動利得制御信号を生成するための差分変化値の変換方式を表す変換テーブルまたは変換式を格納するメモリ手段を備えたことを特徴とする請求項6ないし9のいずれかに記載のデジタル自動利得制御装置。

【請求項11】 前記請求項6ないし9のいずれかに記

載のデジタル自動利得制御装置の構成を受信系に備え、このデジタル自動利得制御装置により当該受信系における受信信号に関する出力信号を一定化する自動利得制御を行うことを特徴とする自動利得制御機能を持った無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信装置などにおけるフェージングが発生した受信信号等の変動がある入力信号に対する出力信号を閉ループによる自動利得制御で一定化するデジタル自動利得制御（適宜、AGCと記載する）に関し、特に、入力信号レベルの変動幅または変動周期に対し最適なループゲインに自動設定して高速引き込み動作を行うデジタル自動利得制御方法および装置、自動利得制御機能を持った無線通信装置に関する。

【0002】

【従来の技術】従来、各種の信号処理装置、例えば、無線通信装置では、無線回線などの電波伝播路における受信電界強度の変動により生じる受信信号の信号レベルの変動を一定化して復調エラーなどを低減するためのデジタル自動利得制御が行われている。このようなデジタル自動利得制御は、入力信号のレベル変動を検出して生成した自動利得制御信号によって後段の可変増幅器などの利得を制御する開ループ制御方式や、入力信号のレベル変動を検出して生成した自動利得制御信号によって前段の可変増幅器などの利得を制御する閉ループ制御方式が知られている。

【0003】このようなデジタル自動利得制御では、例えば、入力信号の変動が大きくかつ高速の周期変動が発生している場合、その変動状態に対する実時間での自動利得制御を行うことが望ましい。特に、閉ループ制御方式では、ループ遅延や入力信号の変動が高速かつ大きい場合に対する高速処理（高速引き込み）が課題である。例えば、デジタルAGC回路が自動車電話機に設けられた場合には、高速走行やビルディング街を走行している際の多重電波伝播（マルチパス）による信号レベルの変動が大きくかつ高速のフェージング周期を有する受信信号に対して、高速引き込みが可能な自動利得制御が要求される。

【0004】このようなデジタルAGC装置として、特開平9-83276号「AGCアンプ制御回路」公報例が周知である。この公報例では、引き込み開始時に、前回引き込みが終了した際のゲインを保持し、この保持したゲインをAGC増幅器に初期値として設定すると共に、引き込み誤差をデジタルAGCループを用いて制御している。これによって、アナログによる一次引き込みを削除して、高速な振幅引き込み制御を可能にしている。

【0005】この公報例では、入力信号レベルの変動幅

および変動速度に対して、最適なループゲインに設定できず、時間経過に従い高速に信号レベルが変化する入力信号に対して高速引き込みを行うのに困難を伴うおそれがある。例えば、自動車電話機などで信号レベルの変動が大きいかつ高速のフェージング周期の受信信号に対する高速引き込みができず、通話音声の途切れやセル基地局との無線回線接続での瞬断が発生したり、電源オン時などの位置登録やゾーン（セル）間の移動によるセル基地局の切り換え（ハンドオーバー）が瞬時に出来なくなる場合がある。

【0006】

【発明が解決しようとする課題】上述したように、上記従来例では、特に高速に入力信号の信号レベルが変化した場合に、入力信号レベルの変動状態に対し最適なループゲインを設定することが困難な場合があるという問題点があった。

【0007】本発明は、このような従来技術における課題を解決するものであり、入力信号レベルの変動幅または変動周期に対応したループゲインに自動設定し、最適なループゲインでの自動利得制御を行うことができ、自動利得制御の目標値に高速で収束する高速引き込み動作が可能になる優れたデジタル自動利得制御方法および装置並びに自動利得制御機能を持った無線通信装置の提供を目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明のデジタル自動利得制御方法は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波ステップと、前記検波電圧の変化量を求める変化量算出ステップと、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、前記差分値を前記検波電圧の変化量に応じて可変乗算する可変乗算ステップと、前記可変乗算した差分値の変化値を求める差分変化値算出ステップと、前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成ステップとを有することを特徴とする。

【0009】請求項2記載の発明のデジタル自動利得制御方法は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波ステップと、前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出ステップと、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、前記差分値を前記フェージング周期に応じて可変乗算する可変乗算

ステップと、前記可変乗算した差分値の変化値を求める差分変化値算出ステップと、前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成ステップとを有することを特徴とする。

【0010】請求項3記載の発明のデジタル自動利得制御方法は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波ステップと、前記検波電圧の変化量を求める変化量算出ステップと、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、前記差分値の変化値を求める差分変化値算出ステップと、前記差分変化値を変換する変換方式を前記検波電圧の変化量に応じて複数の変換方式より選択する変換方式選択ステップと、前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成ステップとを有することを特徴とする。

【0011】請求項4記載の発明のデジタル自動利得制御方法は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波ステップと、前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出ステップと、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成ステップと、前記差分値の変化値を求める差分変化値算出ステップと、前記差分変化値を変換する変換方式を前記フェージング周期に応じて複数の変換方式より選択する変換方式選択ステップと、前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成ステップとを有することを特徴とする。

【0012】請求項5記載の発明のデジタル自動利得制御方法は、前記自動利得制御信号を生成するための差分変化値の変換方式として、変換テーブルによるテーブル参照処理、または変換式による演算処理を用いるものである。

【0013】請求項6記載の発明のデジタル自動利得制御装置は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波手段と、前記検波電圧の変化量を求める変化量算出手段と、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、前記差分値を前記検波電圧の変化量に応じて可変乗算する可変乗算手段と、前記可変乗算した差分値の変化値を求める差分変化値算出手段と、前記差分変化値に対し所定の変換

方式による変換を行って自動利得制御信号を生成する制御信号生成手段とを備えたことを特徴とする。

【0014】請求項7記載の発明のデジタル自動利得制御装置は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波手段と、前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出手段と、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、前記差分値を前記フェージング周期に応じて可変乗算する可変乗算手段と、前記可変乗算した差分値の変化値を求める差分変化値算出手段と、前記差分変化値に対し所定の変換方式による変換を行って自動利得制御信号を生成する制御信号生成手段とを備えたことを特徴とする。

【0015】請求項8記載の発明のデジタル自動利得制御装置は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波手段と、前記検波電圧の変化量を求める変化量算出手段と、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、前記差分値の変化値を求める差分変化値算出手段と、前記差分変化値を変換する変換方式を前記検波電圧の変化量に応じて複数の変換方式より選択する変換方式選択手段と、前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成手段とを備えたことを特徴とする。

【0016】請求項9記載の発明のデジタル自動利得制御装置は、入力信号を利得可変増幅器にて増幅した出力信号のレベルに基づいて利得可変増幅器を制御し、入力信号の変動に対し増幅系のループゲインを適正化して一定の出力信号を得るものであり、前記増幅した出力信号を検波する検波手段と、前記入力信号の変動周期を示すフェージング周期を検出するフェージング周期検出手段と、前記検波電圧のデジタル値と目標収束値との差分値を生成する差分値生成手段と、前記差分値の変化値を求める差分変化値算出手段と、前記差分変化値を変換する変換方式を前記フェージング周期に応じて複数の変換方式より選択する変換方式選択手段と、前記選択した変換方式により前記差分変化値の変換を行って自動利得制御信号を生成する制御信号生成手段とを備えたことを特徴とする。

【0017】請求項10記載の発明のデジタル自動利得制御装置は、前記自動利得制御信号を生成するための差分変化値の変換方式を表す変換テーブルまたは変換式を格納するメモリ手段を備えたものである。

【0018】請求項11記載の発明の自動利得制御機能

を持った無線通信装置は、前記請求項6ないし9のいずれかに記載のデジタル自動利得制御装置の構成を受信系に備え、このデジタル自動利得制御装置により当該受信系における受信信号に関する出力信号を一定化する自動利得制御を行うものである。

【0019】このような本発明のデジタル自動利得制御方法および装置は、入力信号レベルに対応した出力信号の検波電圧の変化量または入力信号から検出したフェージング周期に応じて自動利得制御信号を生成してループゲインを自動設定し、最適なループゲインでの自動利得制御を行うことによって、自動利得制御の目標値に高速で収束する高速引き込み動作が可能になる。

【0020】このとき、検波電圧の変化量またはフェージング周期に応じて、例えばこれらの値が大きいときは自動利得制御信号が大きくなるように、検波電圧のデジタル値と目標収束値との差分値に対し可変乗算を行ったり、この差分値の変化値を自動利得制御信号へ変換する際の変換方式を複数の中から選択することにより、入力信号レベルの変動状態に適した利得で利得可変増幅を行うことが可能となる。

【0021】また、本発明のデジタル自動利得制御方法および装置は、自動利得制御信号をメモリ手段などに格納した変換テーブルまたは変換式を用いて生成する。この場合、入力信号の変動状態に応じた自動利得制御信号が容易に生成される。なお、変換式を用いる場合は、変換式の演算を装置に装備する中央演算処理装置（CPU）で実行するようにすると、メモリなどに変換テーブルや変換式を格納する場合に対してより構成が簡素化される。また、変換テーブルまたは変換式のいずれでも自動利得制御信号が生成できるため、その回路構成の自由度も得られる。

【0022】さらに、本発明の無線通信装置は、前記デジタル自動利得制御装置の構成を無線通信装置の受信系に設けており、例えば復調手段の出力信号を一定化する自動利得制御を行う。この結果、例えば、この構成が自動車電話機などの受信系に設けられる場合、入力される中間周波信号に対して、検波電圧の変化量またはフェージング周期に応じたループゲインに自動設定され、最適なループゲインでの自動利得制御が行われる。すなわち、自動利得制御の目標値に高速で収束する高速引き込み動作が可能になる。この場合、高速走行やビルディング街を走行している際の多重電波伝播（マルチパス）による変動が大きいかつ高速のフェージング周期の受信信号に対しても、高速に追従する好適な自動利得制御が行われ、復調エラーも低減する。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照して詳細に説明する。

【第1実施形態】図1は本発明のデジタル自動利得制御方法および装置の第1実施形態に係る構成を示すブロッ

ク図である。この例は、例えば、自動車電話機や携帯電話機等の無線通信装置の受信系などに設けられ、高周波処理部（増幅／周波数変換）からの中間周波（IF）信号（入力信号S1）を自動利得制御（AGC）によって可変増幅し、信号レベルを一定化して出力する可変増幅手段としての利得可変増幅器1と、この利得可変増幅器1からの中間周波（IF）信号（入力信号S1）を復調した出力信号S3を送出する復調器2と、この復調器2の出力信号S3のレベルに基づいて利得可変増幅器1を自動利得制御して出力信号S3を一定化するAGC制御部3Aとを有して概略構成されている。

【0024】AGC制御部3Aは、出力信号S3のエンベロープ（レベル）検波した検波電圧を出力する検波手段としての検波回路12と、検波電圧とラッチ値との差分を演算して出力する加算器13と、検波回路12からの検波電圧をラッチするラッチ回路14と、ラッチ回路14および加算器13による変化量算出手段で求めた検波電圧の変化量に基づいて最適ゲインに可変乗算器18を設定するための制御を行うCPU15aと、検波回路12からの検波電圧をデジタル信号に変換して加算器13、ラッチ回路14および加算器17に出力するA/D変換器16と、このA/D変換器16からの検波電圧と予め設定される目標収束値S2との差分を演算する差分値生成手段としての加算器17とを有している。

【0025】さらに、AGC制御部3Aは、CPU15aの制御により加算器17からの出力信号を可変乗算器18と、この可変乗算器18からの出力信号とラッチ信号との差分を演算する加算器19と、この加算器19からの出力信号をラッチしてフィードバックするラッチ回路20と、ラッチ回路20からの出力信号を自動利得制御信号に変換して出力するための変換テーブルを格納したメモリ21と、メモリ21からの自動利得制御信号をアナログ信号に変換して利得可変増幅器1の利得制御端子に出力するD/A変換器22とを有している。なおここで、CPU15aおよび可変乗算器18により可変乗算手段が構成される。また、加算器19およびラッチ回路20により差分変化値算出手段が構成される。また、制御信号生成手段を構成するメモリ21には、変換テーブルとして自動利得制御信号を生成する所定の変換方式が定義されたテーブルデータが設定記憶されている。

【0026】次に、第1実施形態のAGC動作について説明する。図2は第1実施形態のAGC動作における処理手順を示すフローチャートである。図1および図2において、利得可変増幅器1は、D/A変換器22からのアナログ自動利得制御信号に基づいて入力信号S1を利得可変増幅し、その自動利得制御による一定化した出力信号S3を送出する。この出力信号S3を検波回路12でエンベロープ（レベル）検波し（ステップS20：検波ステップ）、さらに、A/D変換器16でデジタル信

号に変換する（ステップS21）。

【0027】このとき、A/D変換器16の出力の検波電圧値とラッチ回路14によりラッチされた前回の検波電圧値とを加算器13で加算して差分値を求め、この差分値に基づく検波電圧の変化量を算出し、CPU15aに送出する（ステップS22：変化量算出ステップ）。

【0028】また、A/D変換器16から出力される検波電圧値と目標収束値S2とを加算器17で加算して差分値を生成する（ステップS23：差分値生成ステップ）。そして、CPU15aは、前記検波電圧の変化量に基づいて可変乗算器18の制御を行い、可変乗算器18で差分値の可変乗算を行う（ステップS24：可変乗算ステップ）。この可変乗算値を加算器19に入力すると共に、ラッチ回路20にラッチされている値をフィードバックし、加算器19において差分値の変化値を算出する（ステップS25：差分変化値算出ステップ）。この差分変化値をラッチ回路20でラッチした後にメモリ（変換テーブル）21に入力し、自動利得制御信号に変換する（ステップS26：制御信号生成ステップ）。そして、変換した自動利得制御信号をD/A変換器22によりアナログ信号に変換し（ステップS27）、この自動利得制御信号を利得可変増幅器1の利得制御端子に供給する。これにより、自動利得制御信号に基づいた利得による利得可変増幅が行われる（可変増幅ステップ）。

【0029】利得可変増幅器1は、前記自動利得制御信号に対応して利得制御しながら入力信号S1を増幅する。このとき、CPU15aは、ラッチ回路14および加算器13によって算出した検波電圧の変化量に基づいて、利得可変増幅器1の最適ゲインを設定可能なように可変乗算器18の乗算量を制御する。このように、出力信号S3が一定値になるように自動利得制御信号をフィードバックする閉ループ動作を繰り返すことにより、出力信号S3が一定化される。

【0030】次に、第1実施形態におけるAGC動作の要部を詳細に説明する。AGC動作の初期状態では、ラッチ回路14、ラッチ回路20がラッチしている値は0である。従って、利得可変増幅器1には、ある所定値の自動利得制御信号がメモリ（変換テーブル）21からD/A変換器22を通じて入力される。その結果、利得可変増幅器1における増幅利得が変化し、この利得増幅の変化により出力信号S3のレベルが変化し、検波回路12から出力される検波電圧のレベルが変化し、目標収束値S2との差分値が変化する。この差分値とラッチ回路20でラッチした値との差分を加算器19でとることにより、目標収束値S2との差分値の変化値がメモリ（変換テーブル）21に送出される。

【0031】この変化値に対応した自動利得制御信号を利得可変増幅器1に入力することにより、利得可変増幅器1の増幅利得が変化する。この閉ループ動作を繰り返し、検波電圧値と目標収束値S2との差分値が0になる

と、ラッチ回路20にラッチされている値が一定になり、利得可変増幅器1に入力される自動利得制御信号のレベルも一定となるため、検波電圧値が目標収束値S2に収束する。これによって出力信号S3のレベルも一定値に収束する。

【0032】このAGC動作において、CPU15aは、ラッチ回路14と加算器13とで求めた検波電圧の変化量にしたがって、利得可変増幅器1において最適ゲインが得られるように、可変乗算器18の乗算量を設定する。例えば、検波電圧の変化量が大きいとき（CPU15aの入力値が大きいとき）は利得可変増幅器1の増幅利得が大きくなるように、可変乗算器18の乗算量を大きくする。これによって、自動的にループゲインが最適化されて、高速引き込み動作が行われる。高速引き込み動作の具体例としては、例えばラッチ回路でラッチする1ステップを約600nsecとした場合、数μsecで引き込み動作が可能なループゲインの値が得られるように、可変乗算器18の乗算量を制御する。

【0033】このように、第1実施形態によれば、検波電圧値の変化量に応じて、利得可変増幅器の増幅利得を適切な値に設定でき、AGC動作におけるループゲインを入力信号レベルの変動状態に対し最適な値に自動設定することができる。これにより、最適なループゲインでの自動利得制御を行うことができ、入力信号レベルが高速に変動する場合であっても、自動利得制御の目標値に高速で収束する高速引き込み動作が可能となる。

【0034】[第2実施形態] 図3は本発明の第2実施形態に係る構成を示すブロック図である。この第2実施形態は、第1実施形態と同様の入力信号S1が入力され、出力信号S3を送出する利得可変増幅器1、復調器2およびAGC制御部3Bとを有している。AGC制御部3Bは、第1実施形態と同様の検波回路12、A/D変換器16、加算器17、可変乗算器18、加算器19、ラッチ回路20、メモリ（変換テーブル）21およびD/A変換器22を有している。さらに、AGC制御部3Bは、フェージング周期検出部25を有しており、このフェージング周期検出部25において入力信号S1から検出したフェージング周期に基づき、CPU15bにより可変乗算器18を制御するような構成となっている。

【0035】フェージング周期検出手段を構成するフェージング周期検出部25は、セルラー方式の携帯電話機などの移動体通信装置において一般に設けられる回路であり、受信信号のレベル変動（フェージング）の周期を検出可能なものであればいずれでも用いることができる。このフェージング検出によって、移動局から当該セルの基地局が遠いか否かを判断することができ、ハンドオーバーに備えて行う周囲のセルの基地局からの電波の受信動作を適切に制御できる。このフェージング周期検出を本実施形態ではAGC動作におけるループゲインの設

定に応用する。

【0036】次に、第2実施形態のAGC動作について説明する。図4は第2実施形態のAGC動作における処理手順を示すフローチャートである。図3および図4において、利得可変増幅器1および復調器2の動作は、図1に示す第1実施形態と同様である。さらに、AGC制御部3Bにおける検波回路12からD/A変換器22までの動作（ステップS40、S41）は、図1に示す第1実施形態と同様である。すなわち、検波回路12からの検波電圧をA/D変換器16でデジタル信号に変換した後、加算器17に入力する。このとき、フェージング周期検出部25によって、入力信号S1からフェージング周期を検出してCPU15bに送出する（ステップS42：フェージング周期検出ステップ）。

【0037】また、加算器17では、A/D変換器16から出力される検波電圧値と目標収束値S2とを加算して差分値を生成する（ステップS43）。そして、CPU15bは、前記フェージング周期に基づいて可変乗算器18の制御を行い、可変乗算器18で差分値の可変乗算を行う（ステップS44：可変乗算ステップ）。この可変乗算値を加算器19に入力すると共に、ラッチ回路20にラッチされている値をフィードバックし、加算器19において差分値の変化値を算出する（ステップS45）。この差分変化値をラッチ回路20でラッチした後メモリ（変換テーブル）21に入力し、自動利得制御信号に変換する（ステップS46）。そして、変換した自動利得制御信号をD/A変換器22によりアナログ信号に変換し（ステップS47）、この自動利得制御信号を利得可変増幅器1の利得制御端子に供給する。利得可変増幅器1は、前記自動利得制御信号に対応して利得制御しながら入力信号S1を増幅する。

【0038】第2実施形態では、フェージング周期検出部25は、入力信号S1からフェージング周期を検出してCPU15bに送出する。CPU15bは、フェージング周期検出部25からのフェージング周期にしたがって、利得可変増幅器1において最適ゲインが得られるように、可変乗算器18の乗算量を設定する。この可変乗算器18の制御によって、フェージング周期に対してループゲインが自動的に最適化され、高速引き込み動作が行われる。

【0039】このように、第2実施形態によれば、入力信号S1から検出したフェージング周期に応じて、利得可変増幅器の増幅利得を適切な値に設定でき、AGC動作におけるループゲインを入力信号レベルの変動状態に対し最適な値に自動設定することができる。これにより、最適なループゲインでの自動利得制御を行うことができ、入力信号レベルが高速に変動する場合であっても、自動利得制御の目標値に高速で収束する高速引き込み動作が可能となる。

【0040】[第3実施形態] 図5は本発明の第3実施

形態に係る構成を示すブロック図である。この第3実施形態は、第1実施形態と同様の入力信号S1が入力され、出力信号S3を送出する利得可変増幅器1、復調器2およびAGC制御部3Cとを有している。AGC制御部3Cは、第1実施形態と同様の検波回路12、加算器13、ラッチ回路14、A/D変換器16、加算器17、加算器19、ラッチ回路20およびD/A変換器22を有している。さらに、AGC制御部3Cは、複数の変換テーブルを備えたメモリ21aを有しており、CPU15cが加算器13およびラッチ回路14の出力信号（検波電圧の変化量）に基づいてメモリ（変換テーブル）21aを制御するような構成となっている。メモリ（変換テーブル）21aは、検波電圧の変化量に対応した複数種の変換方式をそれぞれ定義した複数の変換テーブルを格納しており、最適な変換テーブルをCPU15cの制御で選択可能である。このCPU15cおよびメモリ（変換テーブル）21aにより変換方式選択手段が構成される。なお、第1実施形態の可変乗算器18は設けられていない。

【0041】次に、第3実施形態のAGC動作について説明する。図6は第3実施形態のAGC動作における処理手順を示すフローチャートである。図5および図6において、利得可変増幅器1および復調器2の動作は、図1に示す第1実施形態と同様である。さらに、AGC制御部3Cにおける検波回路12からD/A変換器22までの動作（ステップS60、S61）は、図1に示す第1実施形態と同様である。すなわち、検波回路12からの検波電圧をA/D変換器16でデジタル信号に変換した後、加算器17に入力する。このとき、加算器13およびラッチ回路14によって、検波電圧の変化量を算出してCPU15cに送出する（ステップS62）。

【0042】また、加算器17では、A/D変換器16から出力される検波電圧値と目標収束値S2とを加算して差分値を生成する（ステップS63）。そして、この差分値を加算器19に入力すると共に、ラッチ回路20にラッチされている値をフィードバックし、加算器19において差分値の変化値を算出する（ステップS64：差分変化値算出ステップ）。そして、この差分変化値をラッチ回路20でラッチした後にメモリ（変換テーブル）21aに入力する。

【0043】このとき、CPU15cは、前記検波電圧の変化量に基づいてメモリ（変換テーブル）21aの制御を行い、このメモリ（変換テーブル）21aにおける最適な変換テーブルを選択する（ステップS65：変換方式選択ステップ）。そして、選択された変換テーブルによって差分変化値を自動利得制御信号に変換する（ステップS66：制御信号生成ステップ）。さらに、変換した自動利得制御信号をD/A変換器22によりアナログ信号に変換し（ステップS67）、この自動利得制御信号を利得可変増幅器1の利得制御端子に供給する。利

得可変増幅器1は、前記自動利得制御信号に対応して利得制御しながら入力信号S1を増幅する。

【0044】第3実施形態では、CPU15cは、ラッチ回路14と加算器13とにより求めた検波電圧の変化量にしたがって、利得可変増幅器1において最適ゲインが得られるように、メモリ（変換テーブル）21aにおける最適な変換テーブルを選択する。これにより、第1実施形態と同様に検波電圧の変化量に対して自動的にループゲインが最適化されて、高速引き込み動作が行われる。この場合、第1実施形態における可変乗算器18を用いずに簡単な構成で自動利得制御動作を実行できる。

【0045】このように、第3実施形態によれば、検波電圧値の変化量に応じて変換テーブルを選択することにより、利得可変増幅器の増幅利得を適切な値に設定でき、AGC動作におけるループゲインを入力信号レベルの変動状態に対し最適な値に自動設定することができる。これにより、最適なループゲインでの自動利得制御を行うことができ、入力信号レベルが高速に変動する場合であっても、自動利得制御の目標値に高速で収束する高速引き込み動作が可能となる。

【0046】〔第4実施形態〕図7は本発明の第4実施形態に係る構成を示すブロック図である。この第4実施形態は、第2実施形態と同様の入力信号S1が入力され、出力信号S3を送出する利得可変増幅器1、復調器2およびAGC制御部3Dとを有している。AGC制御部3Dは、第2実施形態と同様の検波回路12、A/D変換器16、加算器17、加算器19、ラッチ回路20、D/A変換器22およびフェージング周期検出部25を有している。さらに、AGC制御部3Dは、第3実施形態と同様の複数の変換テーブルを備えたメモリ21bを有しており、CPU15dがフェージング周期検出部25の出力信号（フェージング周期）に基づいてメモリ（変換テーブル）21bを制御するような構成となっている。

【0047】次に、第4実施形態のAGC動作について説明する。図8は第4実施形態のAGC動作における処理手順を示すフローチャートである。図7および図8において、利得可変増幅器1および復調器2の動作は、図3に示す第2実施形態と同様である。さらに、AGC制御部3Dにおける検波回路12からD/A変換器22までの動作（ステップS80、S81）は、図3に示す第2実施形態と同様である。すなわち、検波回路12からの検波電圧をA/D変換器16でデジタル信号に変換した後、加算器17に入力する。このとき、フェージング周期検出部25によって、入力信号S1からフェージング周期を検出してCPU15dに送出する（ステップS82：フェージング周期検出ステップ）。

【0048】また、加算器17では、A/D変換器16から出力される検波電圧値と目標収束値S2とを加算して差分値を生成する（ステップS83）。そして、この

差分値を加算器19に入力すると共に、ラッチ回路20にラッチされている値をフィードバックし、加算器19において差分値の変化値を算出する(ステップS84)。そして、この差分変化値をラッチ回路20でラッチした後にメモリ(変換テーブル)21aに入力する。

【0049】このとき、CPU15dは、前記フェージング周期に基づいてメモリ(変換テーブル)21bの制御を行い、このメモリ(変換テーブル)21bにおける最適な変換テーブルを選択する(ステップS85:変換方式選択ステップ)。そして、選択された変換テーブルによって差分変化値を自動利得制御信号に変換する(ステップS86:制御信号生成ステップ)。さらに、変換した自動利得制御信号をD/A変換器22によりアナログ信号に変換し(ステップS87)、この自動利得制御信号を利得可変増幅器1の利得制御端子に供給する。利得可変増幅器1は、前記自動利得制御信号に対応して利得制御しながら入力信号S1を増幅する。

【0050】第4実施形態では、CPU15dは、フェージング周期検出部25からのフェージング周期にしたがって、利得可変増幅器1において最適ゲインが得られるように、メモリ(変換テーブル)21bにおける最適な変換テーブルを選択する。これにより、第2実施形態と同様にフェージング周期に対して自動的にループゲインが最適化されて、高速引き込み動作が行われる。

【0051】なお、以上の説明では、検波電圧と目標収束値S2との差分値から利得可変増幅器1に対する自動利得制御信号を、メモリ(変換テーブル)21を用いたテーブル参照処理により得ているが、次の第5実施形態に示すように変換式を用いた演算処理で得ることも可能である。

【0052】[第5実施形態]図9は本発明の第5実施形態に係る構成を示すブロック図である。この第5実施形態は、図1に示した第1実施形態の変形例であり、AGC制御部3Eにおいて、変換テーブルの代わりに変換式を格納したメモリ27を設けたものである。その他の部分の構成は第1実施形態と同様であるため、ここでは説明を省略する。

【0053】変換式は、前述した変換テーブルを数式で表したものであり、例えば利得可変増幅器1のゲインコントロール特性を表した以下に示す式に対応する演算回路をメモリ27内に構成する。

$$V = aG + b \quad \dots (1)$$

ここで、Vは出力信号電圧、Gはゲイン、a、bは所定の定数

【0054】第5実施形態では、第1実施形態と同様に、加算器13およびラッチ回路14によって検波電圧の変化量を算出してCPU15aに送出し、CPU15aはこの検波電圧の変化量に基づいて可変乗算器18の制御を行い、可変乗算器18で差分値の可変乗算を行う。そして、加算器19およびラッチ回路20により差

分値の変化値を算出してメモリ(変換式)27に入力し、上記(1)式の変換式によって演算を行って自動利得制御信号に変換する。この自動利得制御信号をD/A変換器22でアナログ信号に変換して利得可変増幅器1の利得制御端子に供給することにより、この自動利得制御信号に対応して利得可変増幅器1の利得制御がなされ、出力信号S3が一定化される。

【0055】なお、変換式によって自動利得制御信号を決定する場合、この変換演算をCPU15で行ったり、図示しない携帯電話機等におけるCPUで行うことも可能である。この場合、メモリ(変換式)27が不要になり、装置構成を簡素化できる。また、第2ないし第4実施形態における変換テーブルの代わりに変換式を用いた構成とすることも同様に可能である。

【0056】第5実施形態によれば、第1実施形態と同様に検波電圧値の変化量に応じて利得可変増幅器の増幅利得を適切な値に設定でき、AGC動作におけるループゲインを入力信号レベルの変動状態に対し最適な値に自動設定することができる。また、変換式はデータ量を少なくできるため、変換テーブルを格納するメモリ容量よりも少ない容量のメモリで第1実施形態と同様の効果を得ることができる。

【0057】

【発明の効果】以上の説明から明かなように、本発明のデジタル自動利得制御方法および装置によれば、増幅した出力信号を検波した検波信号の変化量あるいは入力信号より検出した変動周期を示すフェージング周期に応じて自動利得制御信号を生成し、この自動利得制御信号に応じて利得を変化させて利得可変増幅を行うことにより、入力信号レベルの変動幅または変動周期に対応したループゲインに自動設定し、最適なループゲインでの自動利得制御を行うことができ、自動利得制御の目標値に高速で収束する高速引き込み動作が可能になる。

【0058】また、本発明のデジタル自動利得制御方法および装置によれば、自動利得制御信号を生成するための差分変化値の変換方式として、変換テーブルによるテーブル参照処理または変換式による演算処理を用いることにより、入力信号の変動状態に応じた自動利得制御信号が容易に生成可能である。また、回路構成に自由度を有し、かつ構成の簡素化が可能なデジタル自動利得制御手段を提供できる。

【0059】さらに、本発明の無線通信装置によれば、デジタル自動利得制御装置の構成を無線通信装置の受信系に設け、このデジタル自動利得制御装置により当該受信系における受信信号に関する出力信号を一定化する自動利得制御を行うことにより、検波電圧の変化量またはフェージング周期に応じたループゲインに自動設定し、最適なループゲインでの自動利得制御が可能であり、変動幅が大きくかつ高速のフェージング周期の受信信号に対しても高速に追従する好適な自動利得制御を実行で

き、復調エラーを低減できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る構成を示すブロック図である。

【図2】第1実施形態のAGC動作における処理手順を示すフローチャートである。

【図3】本発明の第2実施形態に係る構成を示すブロック図である。

【図4】第2実施形態のAGC動作における処理手順を示すフローチャートである。

【図5】本発明の第3実施形態に係る構成を示すブロック図である。

【図6】第3実施形態のAGC動作における処理手順を示すフローチャートである。

【図7】本発明の第4実施形態に係る構成を示すブロック図である。

【図8】第4実施形態のAGC動作における処理手順を示すフローチャートである。

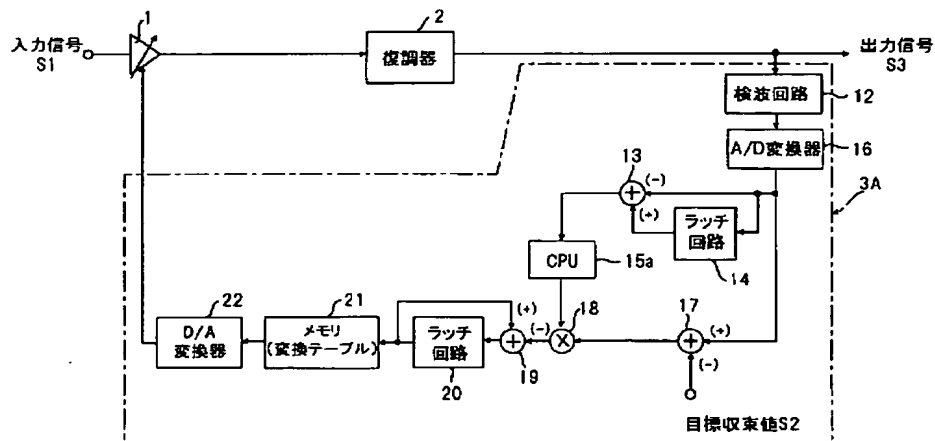
【図9】本発明の第5実施形態に係る構成を示すブロッ

ク図である。

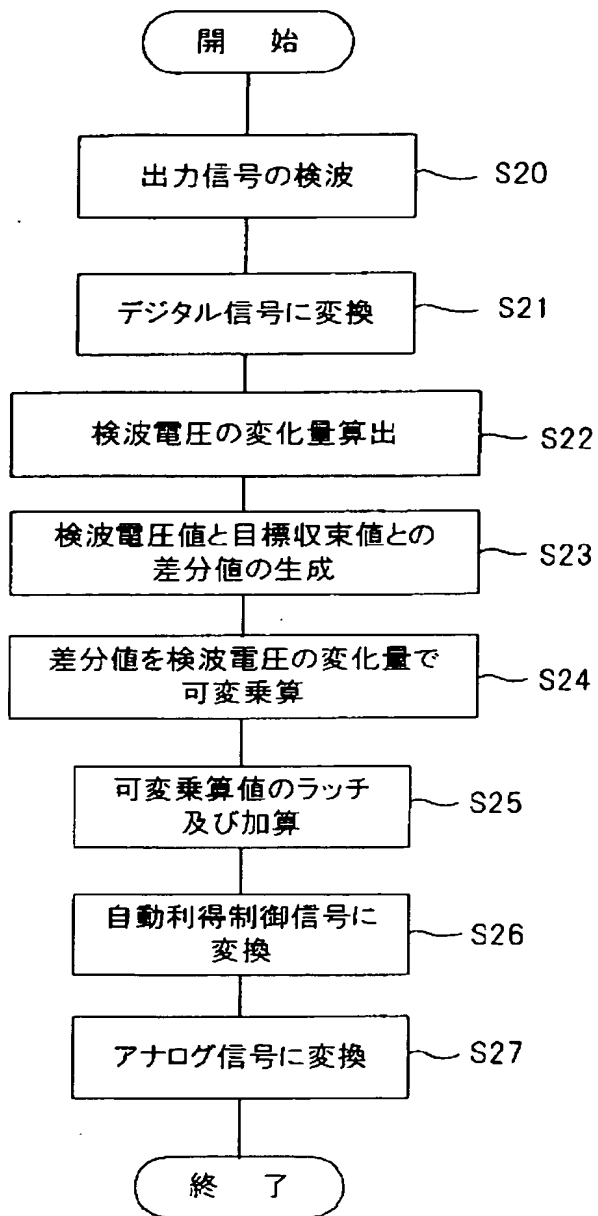
【符号の説明】

- 1 利得可変増幅器
- 2 復調器
- 3 A～3 E AGC制御部
- 12 検波回路
- 13, 17, 19 加算器
- 14, 20 ラッチ回路
- 15 a～15 d CPU
- 16 A/D変換器
- 17 加算器
- 18 可変乗算器
- 21, 21 a メモリ (変換テーブル)
- 22 D/A変換器
- 25 フェージング周期検出部
- 27 メモリ (変換式)
- S1 入力信号
- S2 目標収束値
- S3 出力信号

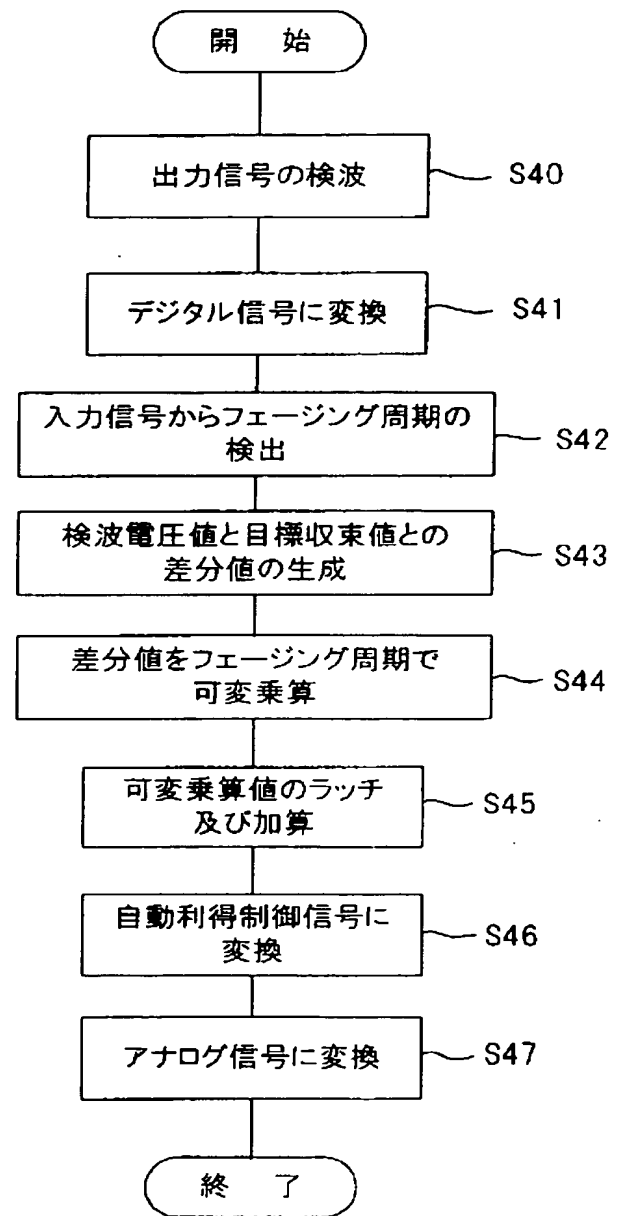
【図1】



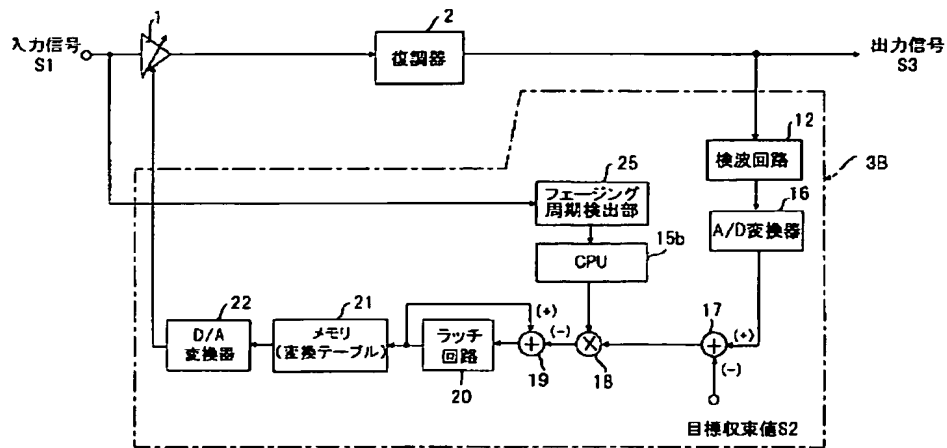
【図2】



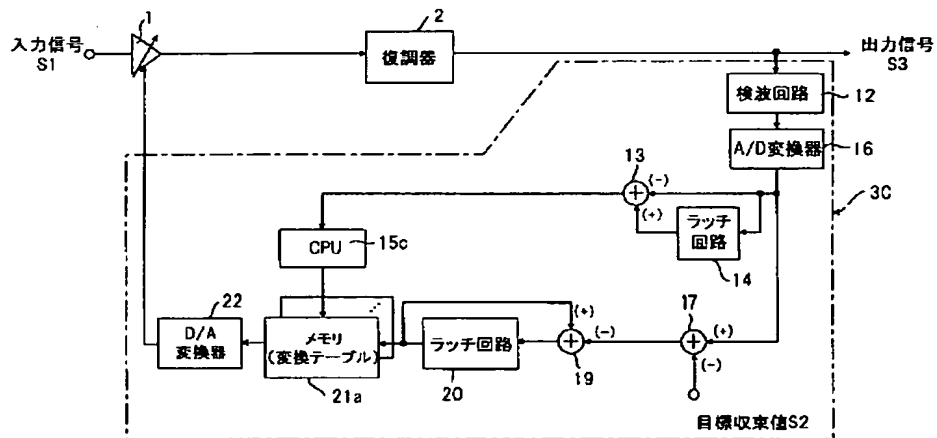
【図4】



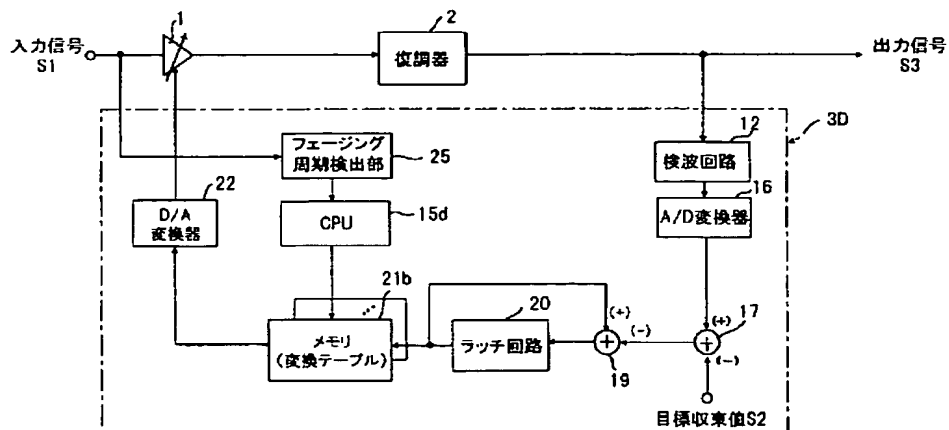
【図3】



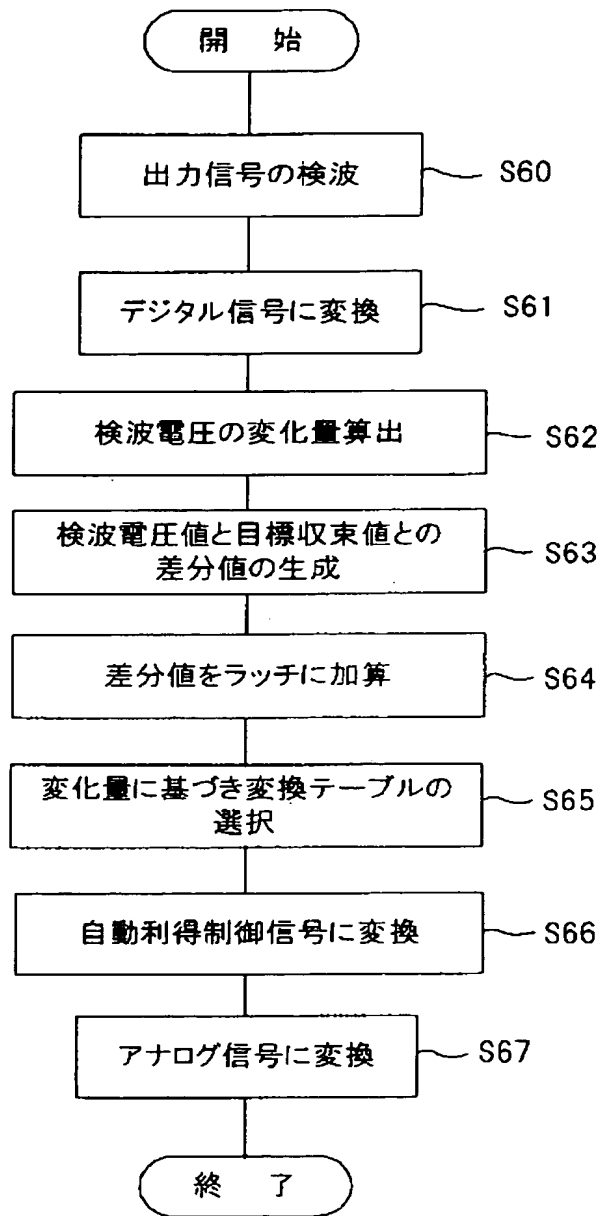
【図5】



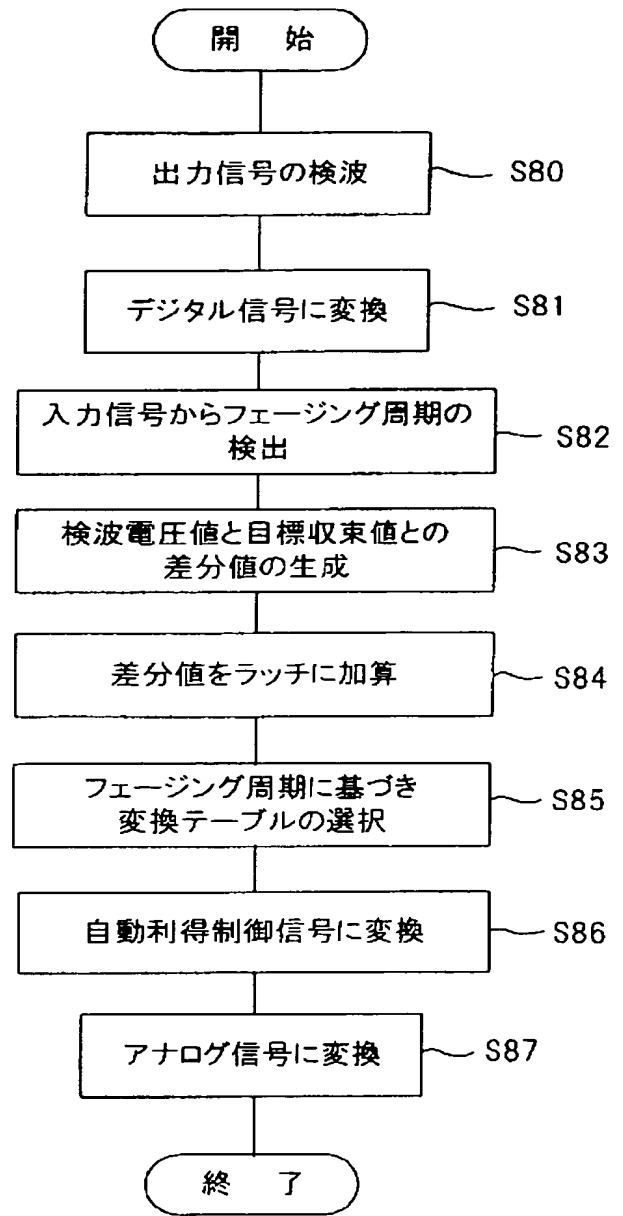
【図7】



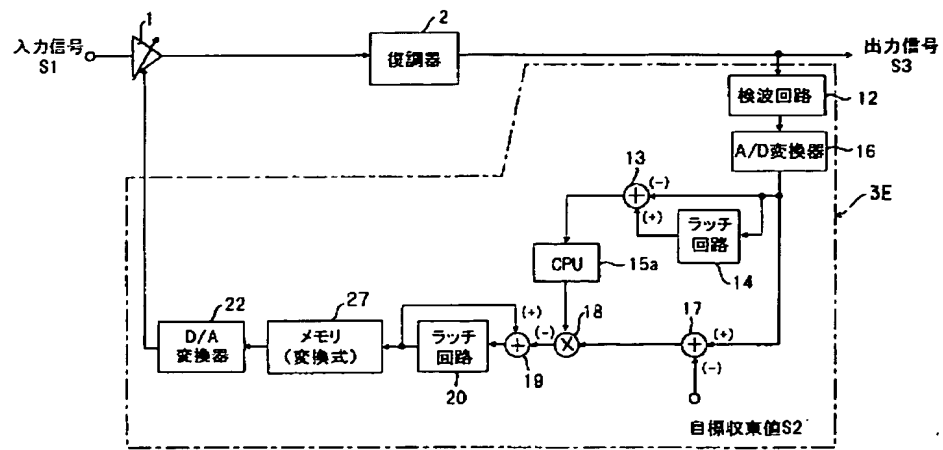
【図6】



【図8】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.